

Patent

Patent No	472229	Publication Date	2002/1/11
Application No	089116681	Filing Date	2000/8/16
Title	Single gain buffer		
IPC	G09G3/36		

Author / Inventor

WANG, BO-WEN (TW) ; SHIH, JUN-REN (TW) ; CHEN, SHANG-LI (TW) ;

Applicant

Name	Country	Individual/Company
INDUSTRIAL TECHNOLOGY RESEARCH INSTITUTE	TW	Company

Patent Abstract

The present invention relates to a kind of single gain buffer, which is mainly applied in the buffer used by the data driver of liquid crystal display (LCD) in order to drive data line action. In this single gain buffer, plural mutually connected PMOS transistors are used, in which the output terminal Vout of the buffer is made very close to the input terminal Vin through the use of new-frame mutual-connection manner for transistors without using feedback connection manner. In addition, the application of compensation capacitor is not required such that the area of circuit layout can be effectively reduced. Furthermore, the invention can be effectively applied in the new process of low temperature polysilicon thin film transistor so as to avoid the disadvantage of too large area occurred in conventional technology.

公告本

申請日期：87. 8. 16

案號：89116681

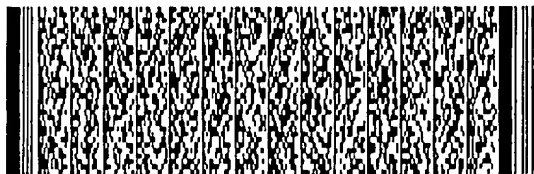
類別：G09G 3-36

(以上各欄由本局填註)

發明專利說明書

472229

一、 發明名稱	中文	單增益緩衝器
	英文	
二、 發明人	姓名 (中文)	1. 王博文 2. 施俊任 3. 陳尚立
	姓名 (英文)	1. Bo-Wen Wang 2. Jun-Ren Shih 3. Shang-Li Chen
	國籍	1. 中華民國 2. 中華民國 3. 中華民國
	住、居所	1. 台北縣樹林市東山里16鄰東興街16巷6弄4號 2. 彰化縣秀水鄉埔崙村11鄰彰水路二段305號 3. 新竹市東區建功里18鄰金城一路62號4樓
三、 申請人	姓名 (名稱) (中文)	1. 財團法人工業技術研究院
	姓名 (名稱) (英文)	1. INDUSTRIAL TECHNOLOGY RESEARCH INSTITUTE
	國籍	1. 中華民國
	住、居所 (事務所)	1. 新竹縣竹東鎮中興路四段195號
	代表人 姓名 (中文)	1. 孫震
	代表人 姓名 (英文)	1.

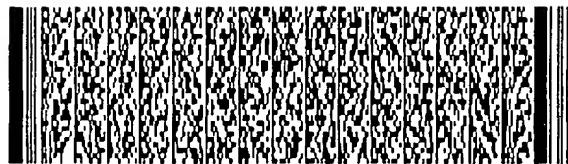


四、中文發明摘要 (發明之名稱：單增益緩衝器)

單增益緩衝器

本發明係有關於一種單增益緩衝器，主要係運用於液晶顯示器中之資料驅動器所使用的緩衝器中，藉以驅動資料線動作。該單增益緩衝器係採用複數個PMOS電晶體相互連接，其中不以迴授連接之方式，藉由電晶體相互之新架構連接方式，使得緩衝器之輸出端 V_{out} 非常接近輸入端 V_{in} ，並且不需補償電容之使用，能夠有效減少電路佈局之面積，以及能有效運用於低溫多晶矽之薄膜電晶體的新製程中，改善習用技術面積過大之缺失。

英文發明摘要 (發明之名稱：)



本案已向

國(地區)申請專利

申請日期

案號

主張優先權

無

有關微生物已寄存於

寄存日期

寄存號碼

無

五、發明說明 (1)

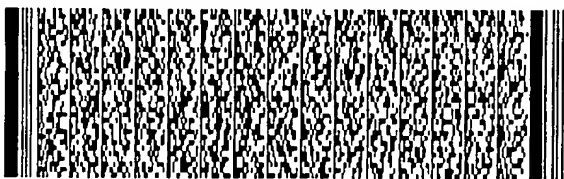
(一) 發明技術領域：

本發明係有關於一種單增益緩衝器，藉由複數個PMOS連接而成一單增益緩衝器，以運用於液晶顯示器中資料驅動器所使用之緩衝器藉以驅動資料線者。

(二) 發明技術背景：

近幾年來，由於光電技術以及半導體製程技術之進步，使得顯像器之技術突飛猛進，對於薄膜式液晶顯示器(TFT-LCD)而言，已經被廣泛地運用於各種電腦、通訊或家電產品之中。除了電腦螢幕(包含桌上型以及筆記型電腦之螢幕)之外，包括行動電話、個人數位式助理器(PDA)以及掌上型電腦等等，皆大量需求薄膜式液晶顯示器的使用。相對而言，用以驅動液晶顯示器以執行顯示操作之驅動電路，顯得非常重要。

一般在薄膜式液晶顯示器(TFT LCD)的驅動電路上，主要分為掃描驅動器(Scan Driver)及資料驅動器(Data Driver)兩種。其中，在資料驅動器方面，由於現今多數的訊號皆是以數位方式傳送，然而真正驅動每個像素的薄膜電晶體(TFT)時，卻需要類比式電壓源加以推動。因此，一般在資料驅動器中，皆是以數位/類比轉換器(Digital-to-Analog Converter)以執行將數位訊號轉換為類比電壓的工作。而在液晶顯示器(LCD)上面，每一條資料線(Data Line)通常都需要一級(One Stage)的資料驅動器來進行驅動，一般的數位/類比轉換器架構皆無法推



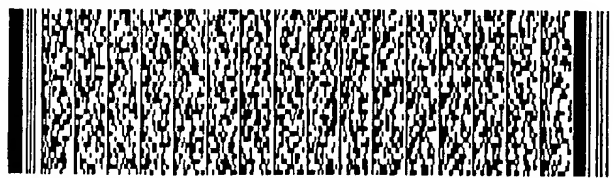
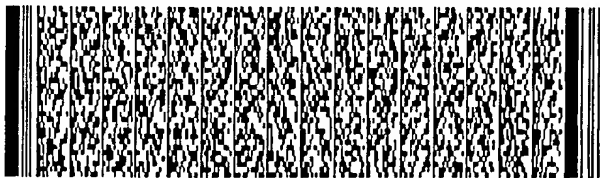
五、發明說明 (2)

動大的負載，所以推動資料線的任務則另再使用一單增益緩衝器(Unit Gain Buffer)以執行驅動資料線之操作。

目前一般技術之資料驅動器，皆是使用運算放大器(OPAMP)再以負回授連接之方式而做為單增益緩衝器之電路。此點，煩請參閱圖一，圖一所示係為習用技術中，有關薄膜液晶顯示器內用以驅動資料線(Data Line)的資料驅動器(Data Driver)30所使用之單增益緩衝器(Unit Gain Buffer)20。該單增益緩衝器20即藉由使用一運算放大器(OPAMP)22，而以負迴授連接之方式作為單增益緩衝器20者。

然而，圖一所示習用技術之方式，卻有如下所述之缺失：即元件電路佈局面積大。此點，於使用運算放大器時，即使為採用架構最簡單的兩級式運算放大器(2 Stage OPAMP)，亦常需要使用補償電容，以做為迴授頻率補償之工作，如此，即造成電路面積無法更小。而其他架構的運算放大器，雖然不需要補償頻率，可是電晶體數目又較前述之架構多，同樣無法無法達到縮小面積的目標。

再就驅動電路之方式而言，關於電路設計中另有使用源極隨藕器(Source Follower)之緩衝器電路連接方式。然而該源極隨藕器，主要包括有NMOS以及PMOS相連接之電晶體，以及有切換開關(Switch)之使用，較為複雜。此點，亦將與本發明所欲提出之單增益緩衝器的電路有所不同。緣此，本發明將提出一種僅使用PMOS電晶體連接而成之單增益緩衝器電路，於驅動功率、速度以及電壓準確度



五、發明說明 (3)

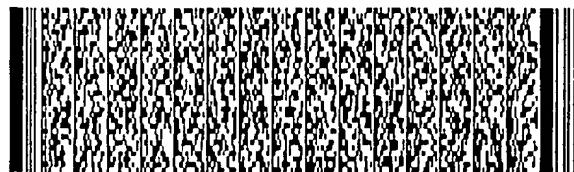
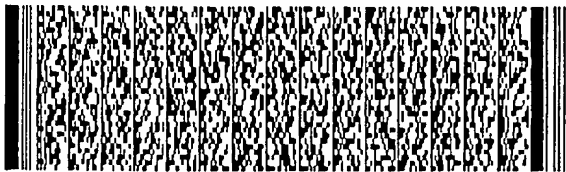
皆不影響之情形下，有效減少液晶顯示器中資料驅動器電路佈局之面積。

(三) 發明之簡要說明：

本發明係提供一單增益緩衝器，主要係運用在薄膜液晶顯示器之資料驅動電路中，藉由複數個PMOS電晶體相互連接而成，其中無迴授之連接方式而避免補償電容之使用。其主要目的係能在不影響驅動功率、速度以及電壓準確度之情形下，大幅減少薄膜液晶顯示器(TFT LCD)之資料驅動器(Data Driver)中緩衝器(Buffer)的電路佈局之面積，並且能夠運用於低溫多晶矽(Low Temperature Poly-Silicon)之薄膜電晶體(TFT)的製程中。

為了達成上述之目的，本發明所提出之單增益緩衝器中係包括有：輸入電晶體M1，其閘極端為該單增益緩衝器之輸入端Vin，其源極端連接至定電流源I1；以及兩電晶體M2、M3串接而成，此種連接方式在高擺動偏壓(High Swing Bias)電流源中常見到，而其中電晶體M3之閘極端連接至該輸入端Vin，而電晶體M2之源極端連接定電流源I1，且電晶體M2之閘極端則連接至電晶體M3之汲極端，再連接至定電流源I2；以及包括有輸出電晶體M4，其汲極端為該單增益緩衝器之輸出端Vout，其源極端連接至電晶體M2、M3之串接點A，其閘極端則與汲極端相連接，再連接定電流源I3；如此而完成單增益緩衝器之電路。

藉由上述電路連接方式，使得串接點A之電壓接近輸



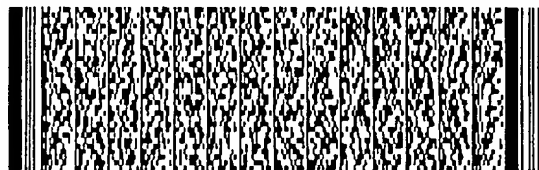
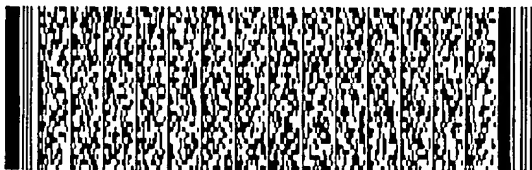
五、發明說明 (4)

入端 V_{in} ，僅差一電晶體 $M3$ 之 V_{gs} (即為 $V_A = V_{in} - V_{gs3}$)，再藉由調整電晶體 $M4$ ，使輸出端 $V_{out} = V_A + V_{gs4}$ ，如此，可使輸出端 V_{out} 非常接近輸入端 V_{in} 。其中所有電晶體皆為採用PMOS電晶體，於正常操作情形下，其 V_{gd} 電壓大於零，使得電晶體 $M1$ 操作於飽和區，以及電晶體 $M2$ 、 $M3$ 皆操作於飽和區。

較佳者，該單增益緩衝器中當輸出電壓 V_{out} 與輸入電壓 V_{in} 為低電壓，而輸入電壓 V_{in} 突然變為高電壓時，電晶體之 $M1$ 、 $M3$ 會進入關閉(OFF)狀態，定電流源 $I1$ 將會經由電晶體 $M2$ 、 $M4$ 所形成之路徑對輸出端之負載進行充電，形成一充電電流路徑。

較佳者，該單增益緩衝器中當輸出電壓 V_{out} 與輸入電壓 V_{in} 為高電壓，而輸入電壓 V_{in} 突然變為低電壓時，電晶體 $M1$ 瞬間進入線性區(Linear)之狀態，產生一大電流，該大電流由電晶體 $M4$ 之汲極端流入後，經由N型井(N-well)之接面(Contact)流出，其電流方向為由汲極端(Drain)流至基體(Body)端，造成電流；同樣地，電晶體 $M2$ 也有相同之電流路徑，由汲極端(Drain)流至基體(Body)端，造成電流，形成一放電路徑。

較佳者，該單增益緩衝器中當輸出電壓 V_{out} 與輸入電壓 V_{in} 為高電壓，而輸入電壓 V_{in} 突然變為低電壓時，於低溫多晶矽(Low Temperature Poly-Silicon)之薄膜電晶體(TFT)製程中，則僅有定電流源 $I3$ 提供放電與電晶體 $M4$ 之漏電流等，即提供一放電路徑。



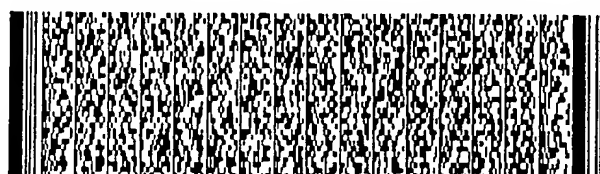
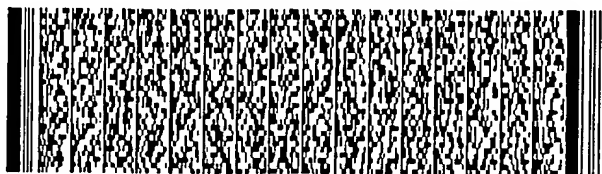
五、發明說明 (5)

(五)發明詳細說明：

本發明係提供一單增益緩衝器，主要之電路架構係設計為利用複數個PMOS電晶體相互連接而成，係在不影響驅動功率、速度以及電壓準確度之情形下，能大幅減少薄膜液晶顯示器(TFT LCD)之資料驅動器(Data Driver)中緩衝器(Buffer)的電路佈局之面積，並且能夠運用於低溫多晶矽(Low Temperature Poly-Silicon)之薄膜電晶體(TFT)的製程中。

有關本發明所述單增益緩衝器之基本架構，煩請參閱圖二，圖二所示係為本發明實施例之基本架構電路連接示意圖。相較於圖一所示之使用運算放大器的習用技術而言，該圖二所揭示之資料驅動器35中，除了包括一數位/類比轉換器(Digital/Analog Converter)10，更包括有連接一新的電路架構之單增益緩衝器(Unit Gain Buffer)25，之後再連接至資料線(Data Line)。

該單增益緩衝器25乃係為本發明之重點，其中包括有輸入電晶體M1，其閘極端(Gate)為該單增益緩衝器25之輸入端Vin，意即為該電晶體M1之閘極端連接於數位/類比轉換器10之輸出端，該電晶體M1之源極端(Source)則連接至定電流源I1。以及電晶體M1係為一PMOS電晶體，且其閘汲極電壓大於零($V_{gd} > 0$)，是以電晶體M1必然操作於飽和區(Saturation)之狀態下。再者，因流經電晶體M1的電流於正常工作時，電流值是定電流源相減之 $I1 - I2 - I3$ 值，故其

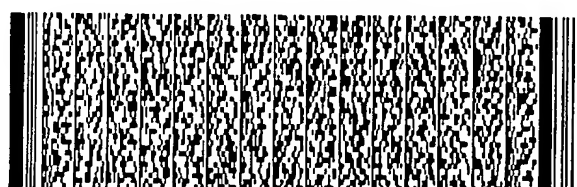
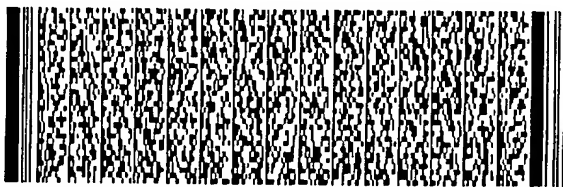


五、發明說明 (6)

V_{gs} 電壓會僅於一小範圍內變動。

該圖二之單增益緩衝器25中，另包括有高擺動偏壓電晶體(High Swing Bias)252之設置，主要係由兩電晶體M2、M3串接而成，其串接點標示為A。其中電晶體M3之閘極端連接至該單增益緩衝器25之輸入端 V_{in} ；電晶體M2之源極端連接定電流源I1，而電晶體M2之閘極端則連接至電晶體M3之汲極端(Drain)，再連接至定電流源I2。對於該電晶體M2、M3的連接方式在一般高擺動偏壓(High Swing Bias)電路中常常可以見到，此種接法會使得電晶體M2、M3於飽和區內運作。但是，如果沒有輸入電晶體M1之設置，則電晶體M2之源極端(Source)和A點之間，會存在有一固定電壓值，如此會使電晶體M3操作於線性區(Linear)中而無法正常使用。是以，該電晶體M1之作用，在於使得電晶體M3被強迫工作在飽和區中。

以及包括有一輸出電晶體M4，其汲極端(Drain)與閘極端(Gate)相連接，該接點為單增益緩衝器25之輸出端 V_{out} ，並且連接於定電流源I3，而電晶體M4之源極端則連接至A點。由於正常操作情形下，電晶體M1~M3都操作於飽和區域，可知A點電壓會緊跟著 V_{in} 值，兩者將相差一個電晶體M3之 V_{gs} 電壓值，即為 $V_A = V_{in} - V_{gs3}$ 。此時可利用電晶體M4來使 $V_{out} = V_A + V_{gs4}$ ，則經過適當調整 V_{gs3} 相同於 V_{gs4} 之後，可使緩衝器之輸出電壓 V_{out} 非常地接近輸入電壓 V_{in} 。並且電晶體M1~M4皆採用PMOS電晶體，所以 V_{th} 值不易改變，使得 V_{out} 更加地接近 V_{in} 之值。

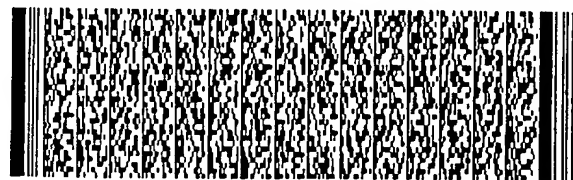
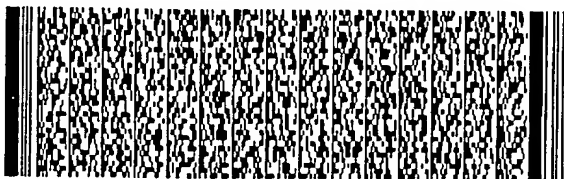


五、發明說明 (7)

接者，將進一步說明本發明之單增益緩衝器的電流操作模式：首先，當輸出電壓 V_{out} 與輸入電壓 V_{in} 為低電壓，而輸入電壓 V_{in} 突然變為高電壓時，電晶體 $M1$ 、 $M3$ 會瞬間進入關閉(OFF)狀態，定電流源 $I1$ 將會經由電晶體 $M2$ 、 $M4$ 所形成之路徑對輸出端之負載進行充電，形成一充電電流路徑。此點，煩請參閱圖三，圖三所示係為本發明實施例之充電時電流路徑示意圖。其中 R_{out} 以及 C_{out} 之串接表示為一負載，另由虛線所標示之路徑顯示，輸出電壓 V_{out} 所推的負載 C_{out} 元件將會由電晶體 $M2$ 、 $M4$ 來執行充電之模式。

煩請參閱圖四，圖四係為本發明實施例之放電時電流路徑示意圖。係在一般的N型井(n-well)之製程中，當輸出電壓 V_{out} 與輸入電壓 V_{in} 為高電壓，而輸入電壓 V_{in} 突然變為低電壓時，電晶體 $M1$ 瞬間進入線性區(Linear)之狀態，產生一大電流，此大電流乃是由負載之 C_{out} 流出的電流，再由該電晶體 $M4$ 之汲極端流入後，經由N型井(N-well)之接面(Contact)流出。其電流方向為由電晶體汲極端(Drain)流至基體(Body)端而造成電流。

造成此一現象的原因在於目前這種狀態下(指電晶體 $M1$ 瞬間進入線性區之狀態)，電晶體 $M4$ 之汲極端(Drain)的電壓較源極端(Source)高，依一般認定汲極端和源極端的方式來看，此時的源極端是為互相調換的，即源極端(Source)端變成汲極(Drain)端，而汲極(Drain)端則變成源極(Source)端。是以源基極電壓 V_{sb} 不為0，而閘基極電



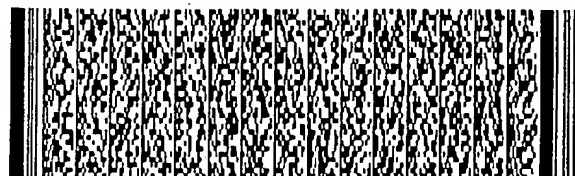
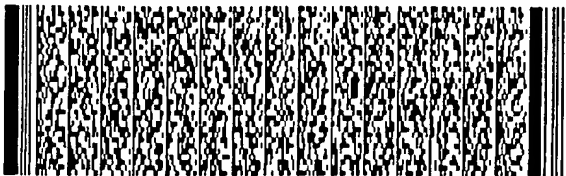
五、發明說明 (8)

壓 $V_{gb}=0$ ，故源極(Source)和基體(Body)成為正導通的PN接面，造成電流通。同樣地，電晶體M2也有相同之電流路徑，由汲極端(Drain)流至基體(Body)端，造成電流，進而形成一放電路徑，如圖四之虛線路徑所示。

另一方面，圖四之緩衝器電路如果不是在N well製程，例如是低溫多晶矽(Low Temperature Poly-Silicon)之薄膜電晶體(TFT)製程中，當輸出電壓 V_{out} 與輸入電壓 V_{in} 為高電壓，而輸入電壓 V_{in} 突然變為低電壓而放電時。則其放電路徑，僅有定電流源I3提供放電以及電晶體M4的漏電流等提供之放電的路徑。

本發明亦經由實際之電路模擬及實驗，進一步驗證本發明之單增益緩衝器所達成之功效。實驗結果方面，我們嘗試以CMOS製程以及低溫多晶矽之薄膜電晶體製程的元件模式(Model)來進行實驗，因為本發明主要係為一單增益緩衝器(Unit Gain Buffer)，所以在實驗上，我們關心的是在不同輸入電壓值(V_{in})時，關於輸出電壓減去輸入電壓($V_{out}-V_{in}$)之結果值，如圖五及圖六所示。

圖五所示係為本發明實施例於CMOS製程中，於不同輸入電壓值時，輸入電壓減去輸出電壓之實驗結果波形示意圖。其中顯示輸入電壓值介於1.0V至9.2V時，輸出與輸入之電壓差異值的範圍僅為5mV。圖六係為本發明實施例於低溫多晶矽製程中，於不同輸入電壓值時，輸入電壓減去輸出電壓之實驗結果波形示意圖。其中顯示輸入電壓值介於1.6V至10.5V時，輸出與輸入之電壓差異值的範圍僅為



五、發明說明 (9)

40 ~ 50 mV。

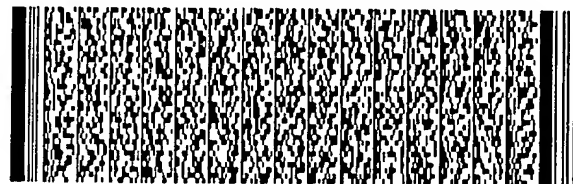
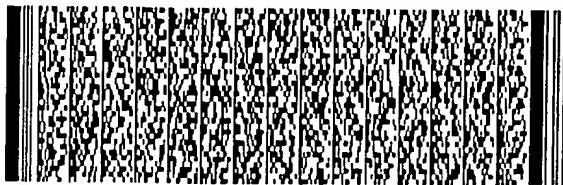
於圖五及圖六所示中，我們可以看到在一般CMOS製程模式上的結果可說是符合一般單增益緩衝器(Unit Gain Buffer)之需求。而在低溫多晶矽的製程方面，因為臨界電壓 V_{th} 較大，整體而言，可以做為單增益緩衝器的電壓範圍並不大，所以我們採用較高的電壓(15V)來驅動。

此外，本發明亦分別針對CMOS製程與低溫多晶矽製程作實際之暫態分析。煩請參閱圖七、圖八之所示，圖七係為本發明實施例於CMOS製程電路中之步級響應圖，圖八係為本發明實施例於低溫多晶矽製程電路中之步級響應圖。由圖七及圖八所示，我們可以看到本發明之電路無論是在充電或是放電方面都有不錯的速度表現。

是以，本發明在準確度及速度上皆有不錯的表現，而在面積方面，雖然和一般的兩級運算放大器(2 Stages OP)有著相同數量的電晶體，但是運算放大器由於需以回授方式來形成一單增益緩衝器(Unit Gain Buffer)，常常需要一電容值不小的補償電容。然而，本發明因為不是採用回授之連接方式，因此不需要補償電容，如此，則電路佈局面積可以較小。

另有使用源極隨藕器(Source Follower)之緩衝器電路連接方式。然而該源極隨藕器，主要包括有NMOS以及PMOS相連接之電晶體，以及有切換開關(Switch)之使用，雖準確度佳，但實際電路佈局卻較為複雜。

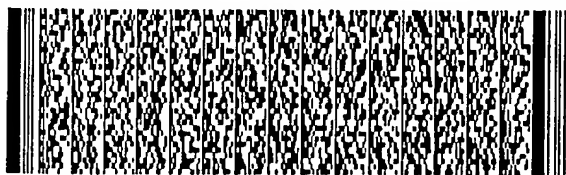
綜上所述，本發明之一單增益緩衝器，能夠提供一佈



五、發明說明 (10)

局面積較小之緩衝器，且不影響驅動液晶顯示器之功能與功效。充份顯示出本發明之目的及功效上均深富實施之進步性，極具產業之利用價值，且為目前市面上前所未見之新發明，完全符合發明專利之要件，爰依法提出申請。

唯以上所述者，僅為本發明之較佳實施例而已，當不能以之限定本發明所實施之範圍。即大凡依本發明申請專利範圍所作之均等變化與修飾，皆應仍屬於本發明專利涵蓋之範圍內，謹請貴審查委員明鑑，並祈惠准，是所至禱。



圖式簡單說明

(四) 圖式之簡要說明：

圖一係為習用技術之薄膜液晶顯示器內，用以驅動資料線的之資料驅動器所使用之單增益緩衝器電路示意圖。

圖二係為本發明實施例之基本架構電路連接示意圖。

圖三係為本發明實施例之充電時電流路徑示意圖。

圖四係為本發明實施例之放電時電流路徑示意圖。

圖五係為本發明實施例於CMOS製程中，於不同輸入電壓值時，輸入電壓減去輸出電壓之實驗結果波形示意圖。

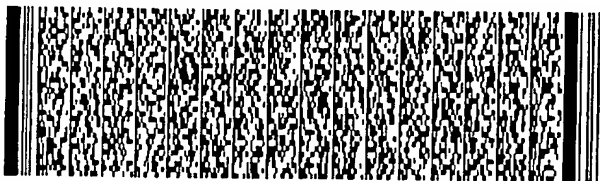
圖六係為本發明實施例於低溫多晶矽製程中，於不同輸入電壓值時，輸入電壓減去輸出電壓之實驗結果波形示意圖。

圖七係為本發明實施例於CMOS製程電路中之步級響應圖。

圖八係為本發明實施例於低溫多晶矽製程電路中之步級響應圖。

圖號說明：

10 數位/類比轉換器	20、25 單增益緩衝器
22 運算放大器	30、35 資料驅動器
M1 輸入電晶體	M2、M3 高擺動偏壓電晶體
M4 輸出電晶體	252 高擺動偏壓電晶體



六、申請專利範圍

(六) 申請專利範圍

1. 一種單增益緩衝器，係包括：

輸入電晶體M1，其閘極端為該單增益緩衝器之輸入端Vin，其源極端連接定電流源I1；

高擺動偏壓電晶體，係由兩電晶體M2、M3串接而成，其中電晶體M3之閘極端連接至該輸入端Vin；電晶體M2之源極端連接定電流源I1，而電晶體M2之閘極端則連接至電晶體M3之汲極端，再連接至定電流源I2；

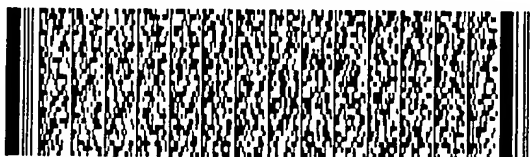
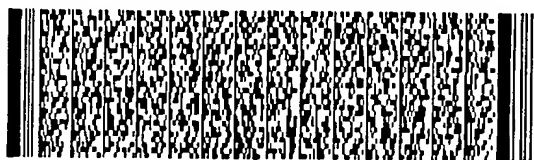
輸出電晶體M4，其汲極端為該單增益緩衝器之輸出端Vout，其源極端連接至電晶體M2、M3之串接點A，其閘極端則與汲極端相連接，再連接定電流源I3；

藉由上述電路連接方式，使得串接點A之電壓接近輸入端Vin，僅差一電晶體M3之Vgs，再藉由調整電晶體M4，使輸出端 $V_{out} = V_A + V_{gs4}$ ，可使輸出端Vout非常接近輸入端Vin。

2. 如申請專利範圍第1項所述之單增益緩衝器，其中所述之輸入電晶體M1係為一PMOS電晶體，於正常操作情形下，其Vgd電壓大於零，使得電晶體M1操作於飽和區。

3. 如申請專利範圍第1項所述之單增益緩衝器，其中所述之電晶體M2、M3係為PMOS電晶體，於正常操作情形下，電晶體M2、M3皆操作於飽和區。

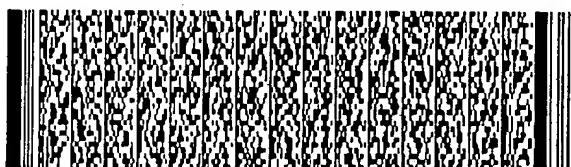
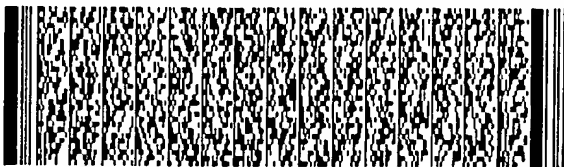
4. 如申請專利範圍第1項所述之單增益緩衝器，其中當輸出電壓Vout與輸入電壓Vin為低電壓，而輸入電壓Vin突然變為高電壓時，電晶體M1、M3會瞬間進入關閉(OFF)



六、申請專利範圍

狀態，定電流源I1將會經由電晶體M2、M4所形成之路徑對輸出端之負載進行充電，形成一充電電流路徑。

5. 如申請專利範圍第1項所述之單增益緩衝器，其中當輸出電壓Vout與輸入電壓Vin為高電壓，而輸入電壓Vin突然變為低電壓時，電晶體M1瞬間進入線性區(Linear)之狀態，產生一大電流，該大電流由電晶體M4之汲極端流入後，經由N型井(N-well)之接面(Contact)流出，其電流方向為由汲極端(Drain)流至基體(Body)端，造成電流；同樣地，電晶體M2也有相同之電流路徑，由汲極端(Drain)流至基體(Body)端，造成電流，形成一放電路徑。
6. 如申請專利範圍第5項所述之單增益緩衝器，其中當輸出電壓Vout與輸入電壓Vin為高電壓，而輸入電壓Vin突然變為低電壓時，於低溫多晶矽(Low Temperature Poly-Silicon)之薄膜電晶體(TFT)製程中，則僅有電流源I3提供放電與電晶體M4之漏電流等，即提供一放電路徑。
7. 一種薄膜液晶顯示器之資料驅動器，係包括：
 - 數位/類比轉換器，係接收數位傳送之訊號，將數位訊號轉換為類比訊號，以驅動像素顯示者；
 - 單增益緩衝器，連接於該數位/類比轉換器與液晶顯示器的資料線之間，用以推動資料線之負載，該單增益緩衝器中，係包括：
 - 輸入電晶體M1，其閘極端為該單增益緩衝器之輸入



六、申請專利範圍

端 V_{in} ，其源極端連接定電流源 I_1 ，為一PMOS電晶體；

高擺動偏壓電晶體，係由兩PMOS電晶體 M_2 、 M_3 串接而成，其中電晶體 M_3 之閘極端連接至該輸入端 V_{in} ；電晶體 M_2 之源極端連接定電流源 I_1 ，而電晶體 M_2 之閘極端則連接至電晶體 M_3 之汲極端，再連接至定電流源 I_2 ；

輸出電晶體 M_4 ，其汲極端為該單增益緩衝器之輸出端 V_{out} ，其源極端連接至電晶體 M_2 、 M_3 之串接點 A ，其閘極端則與汲極端相連接，再連接定電流源 I_3 ，為一PMOS電晶體；

藉由上述單增益緩衝器之電路連接方式，使得串接點 A 之電壓接近輸入端 V_{in} ，僅差一電晶體 M_3 之

V_{gs} ，再藉由調整電晶體 M_4 ，使輸出端

$V_{out} = V_A + V_{gs4}$ ，可使輸出端 V_{out} 非常接近輸入端 V_{in} 。

8. 如申請專利範圍第7項所述之薄膜液晶顯示器之資料驅動器，於正常操作情形下，電晶體 M_1 之 V_{gd} 電壓大於零，使得電晶體 M_1 操作於飽和區，且於正常操作情形下，該電晶體 M_2 、 M_3 皆操作於飽和區。
9. 如申請專利範圍第7項所述之薄膜液晶顯示器之資料驅動器，其中所述之單增益緩衝器，當輸出電壓 V_{out} 與輸入電壓 V_{in} 為低電壓，而輸入電壓 V_{in} 突然變為高電壓時，電晶體之 M_1 、 M_3 會進入關閉(OFF)狀態，定電流



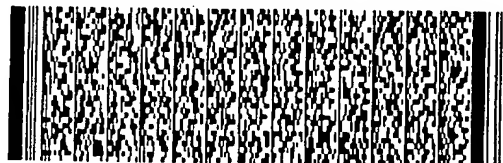
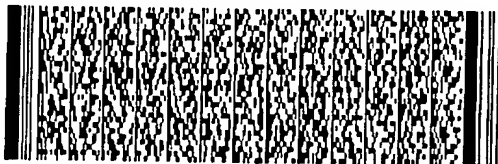
六、申請專利範圍

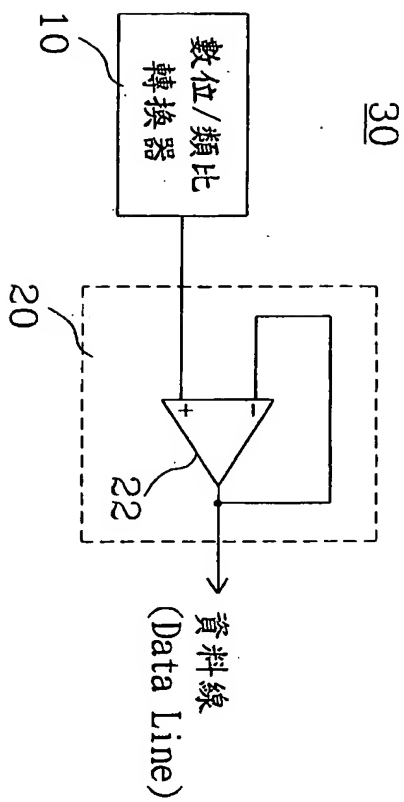
源I1將會經由電晶體M2、M4所形成之路徑對輸出端之負載進行充電，形成一充電電流路徑。

10. 如申請專利範圍第7項所述之薄膜液晶顯示器之資料驅動器，其中所述之單增益緩衝器，當輸出電壓 V_{out} 與輸入電壓 V_{in} 為高電壓，而輸入電壓 V_{in} 突然變為低電壓時，電晶體M1瞬間進入線性區(Linear)之狀態，產生一大電流，該大電流由電晶體M4之汲極端流入後，經由N型井(N-well)之接面(Contact)流出，其電流方向為由汲極端(Drain)流至基體(Body)端，造成電流；同樣地，電晶體M2也有相同之電流路徑，由汲極端(Drain)流至基體(Body)端，造成電流，形成一放電路徑。

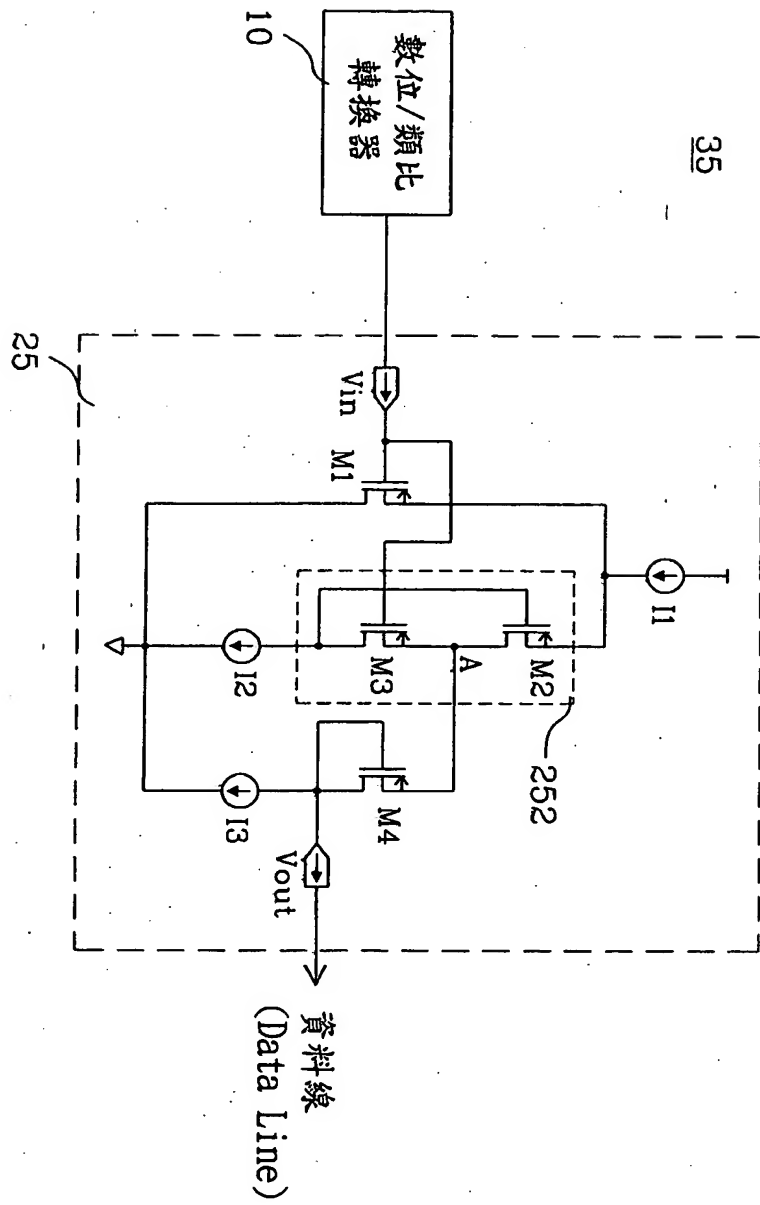
11. 如申請專利範圍第7項所述之薄膜液晶顯示器之資料驅動器，其中所述之單增益緩衝器，當輸出電壓 V_{out} 與輸入電壓 V_{in} 為高電壓，而輸入電壓 V_{in} 突然變為低電壓時，於低溫多晶矽(Low Temperature

Poly-Silicon)之薄膜電晶體(TFT)製程中，則僅有定電流源I3提供放電與電晶體M4之漏電流等，即提供一放電路徑。



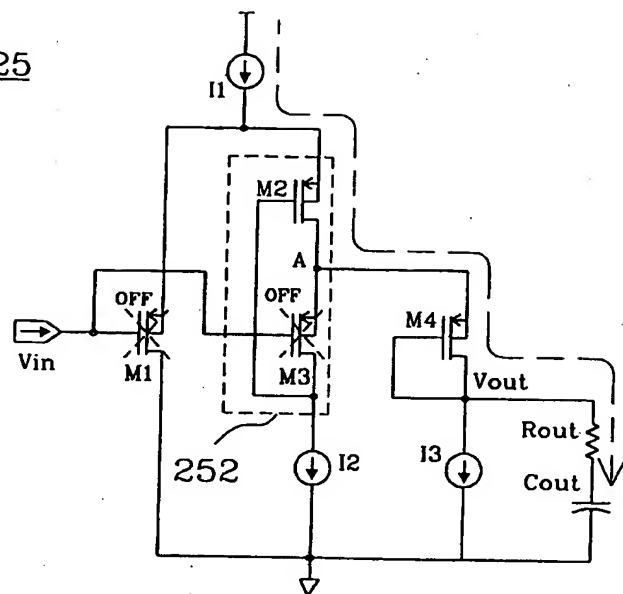


圖一 (習用技術)



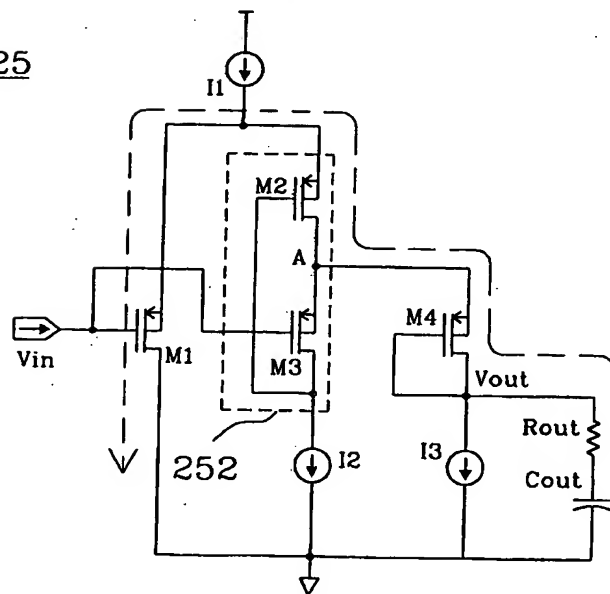
圖二

25

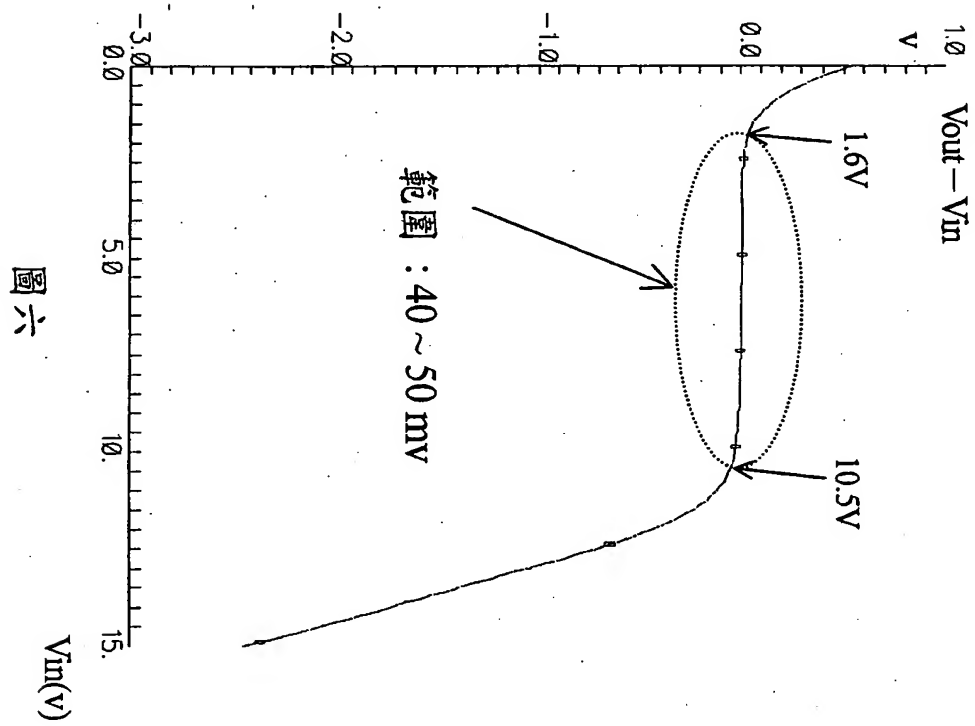
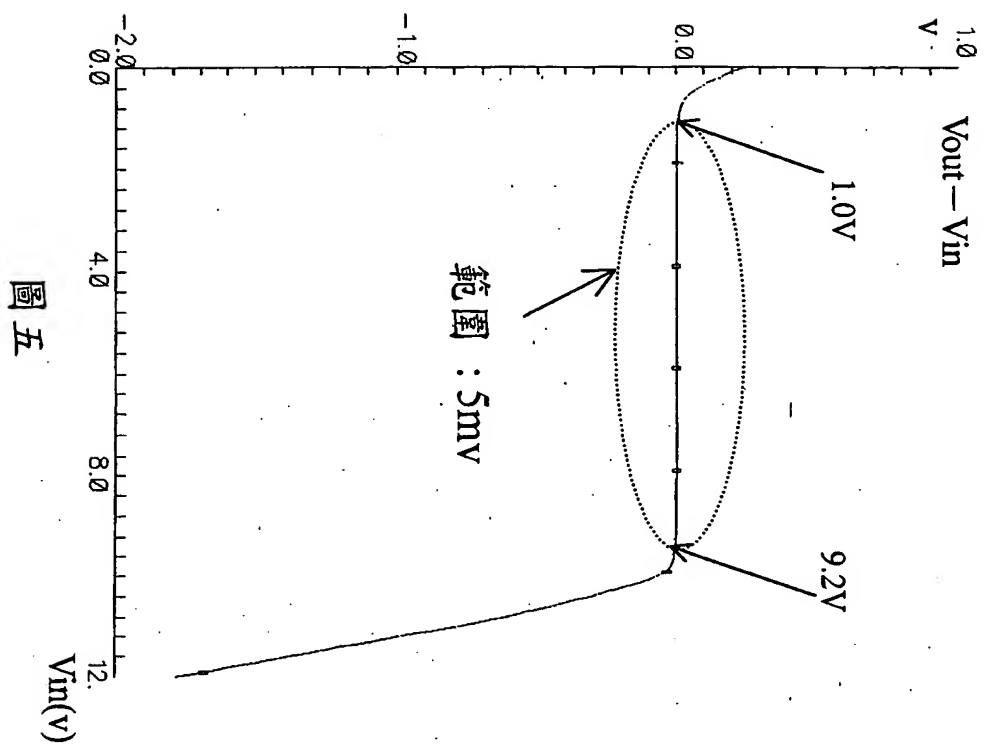


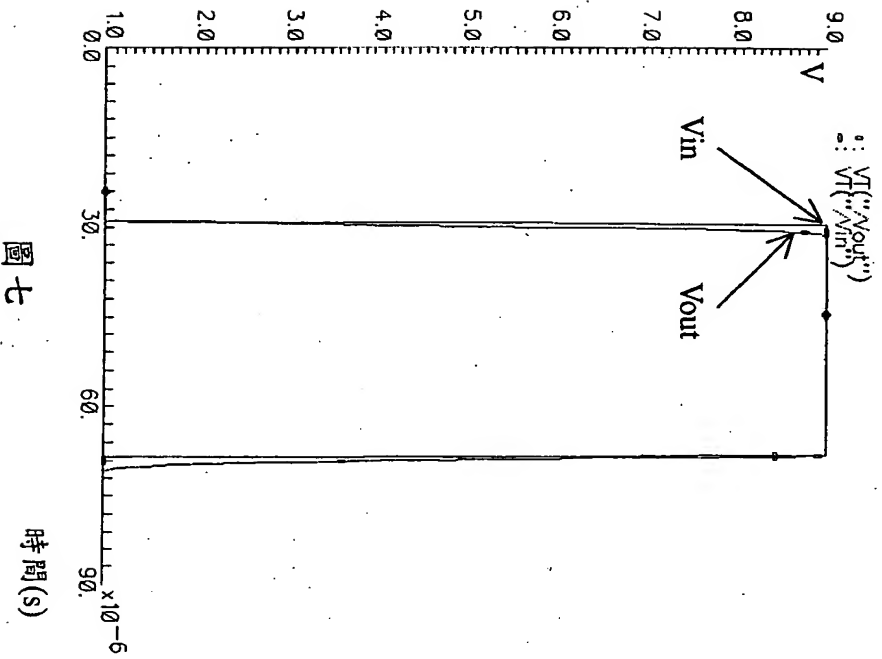
圖三

25

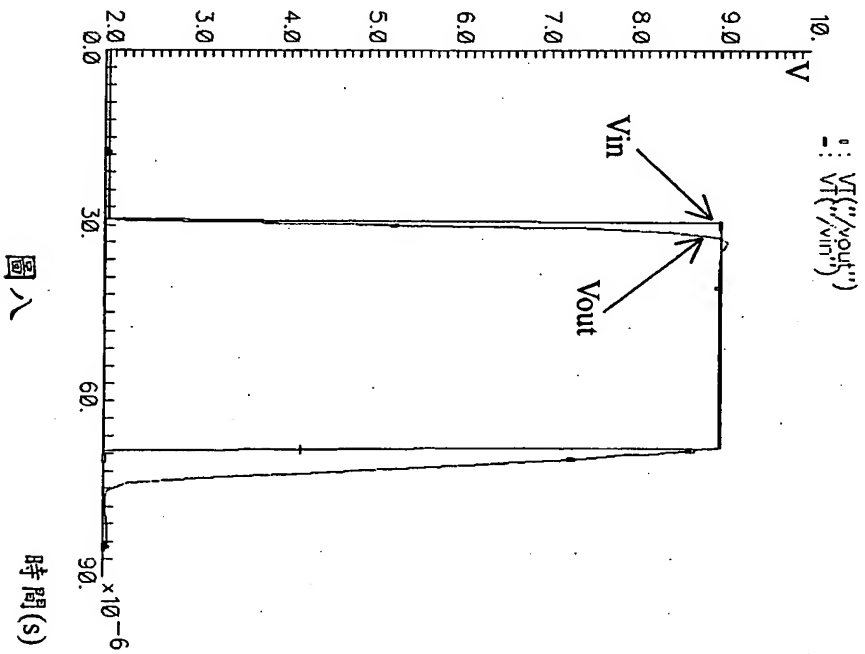


圖四





圖七



圖八